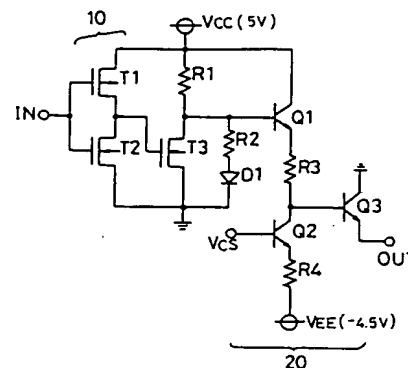


**(54) LEVEL CONVERSION CIRCUIT**

(11) 2-154521 (A) (43) 13.6.1990 (19) JP  
 (21) Appl. No. 63-308652 (22) 6.12.1988  
 (71) MITSUBISHI ELECTRIC CORP (72) KIMIHIRO UEDA(2)  
 (51) Int. Cl. H03K19/0175

**PURPOSE:** To obtain a level conversion circuit possible for high circuit integration by inserting a diode between a base of a bipolar transistor (TR) of a level shift circuit taking a connection point between an n-channel TR and a 1st resistor as its input and a ground level so as to ensure a minimum level of an input voltage of the level shift circuit.

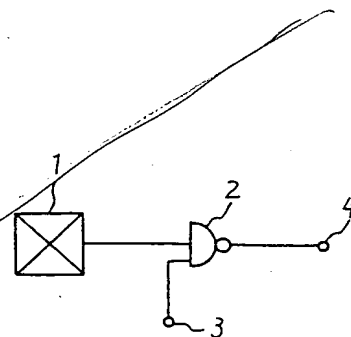
**CONSTITUTION:** A diode D1 is inserted between a collector of a bipolar TR Q1 of a level shift circuit 20 and a ground level and a current switch is constituted through the series connection of a resistor R<sub>1</sub> and an n-channel TR 3. When an output of the inverter circuit 10 is at a high level, the n-channel Tr 3 is turned on, a current flows through the resistor R<sub>1</sub> and the n-channel TR 3 and the base potential of the bipolar TR Q1 is at a low level. Thus, a CMOS-ECL level conversion with less number of components and possible for high circuit integration is obtained.

**(54) INPUT TERMINAL CIRCUIT**

(11) 2-154522 (A) (43) 13.6.1990 (19) JP  
 (21) Appl. No. 63-309336 (22) 6.12.1988  
 (71) NEC CORP (72) TOSHIYUKI KANO  
 (51) Int. Cl. H03K19/0175, H03K17/00, H03K17/16

**PURPOSE:** To prevent a through-current flowing to an input terminal circuit by connecting an input terminal to a 1st input of a NAND circuit, supplying a control signal to a 2nd input of the NAND circuit so as to output the output of the NAND circuit to the input terminal circuit.

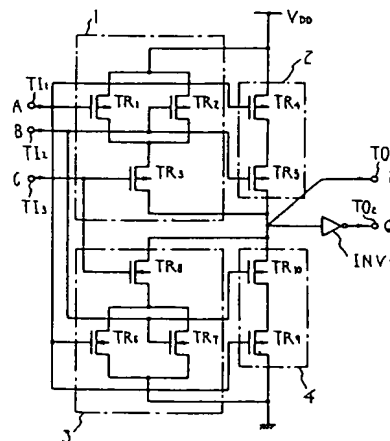
**CONSTITUTION:** The title circuit is constituted by connecting the input terminal 1 to the 1st input of a NAND circuit 2, giving a control signal 3 to the 2nd input of the NAND circuit 2 and an output of the NAND circuit 2 as an output 4 of the input terminal circuit. In the normal operation, when a logical 1 is supplied as the control signal 4 and the signal applied to the input terminal is logical "0" and "1", the output from the input terminal circuit is respectively logical "0" and 1, the NAND circuit 2 acts like an inverter circuit, the signal fed to the input terminal 1 is inverted and supplied to the inside of the semiconductor integrated circuit. However, the input terminal 1 reaches a high impedance and the input level is unstable, and when a logical 0 is applied as the control signal 3, the output of the NAND circuit 2 is fixed to logical 1. Thus, no through-current flows to the NAND circuit 2.

**(54) MAJORITY RULE LOGIC CIRCUIT**

(11) 2-154523 (A) (43) 13.6.1990 (19) JP  
 (21) Appl. No. 63-309284 (22) 6.12.1988  
 (71) NEC CORP (72) KAZUKI CHIBA  
 (51) Int. Cl. H03K19/23, H03K19/0948

**PURPOSE:** To reduce the number of transistors (TRs) and to decrease the fall time of an output signal to the same degree as the rise time by providing two specific serial parallel circuit sections and serial circuit sections respectively and connecting them between 1st and 2nd power terminals and output terminals.

**CONSTITUTION:** The 1st serial parallel circuit section 1 provided with a P-channel MOS 1st TR<sub>1</sub>, 2nd TR<sub>2</sub>, and a 3rd TR<sub>3</sub>, and a 1st series circuit section 2 provided with a P-channel MOS TR<sub>4</sub> and 5th TR<sub>5</sub> are connected between a 1st power terminal and an output terminal TO<sub>1</sub>. Moreover, the 2nd serial parallel circuit section 3 provided with an N-channel MOS 6th TR<sub>6</sub>, 7th TR<sub>7</sub>, and a 8th TR<sub>8</sub>, and a 2nd series circuit section 4 provided with an N-channel MOS TR<sub>9</sub> and 10th TR<sub>10</sub> are connected between a 2nd power terminal and the output terminal TO<sub>1</sub>. Thus, the number of TRs becomes smaller than a conventional circuit and the fall time of the output signal Q is decreased.

INV<sub>1</sub>: inverter

BEST AVAILABLE COPY



E4051

⑯ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

平2-154521

⑤ Int. Cl.<sup>5</sup>

識別記号

庁内整理番号

⑬ 公開 平成2年(1990)6月13日

H 03 K 19/0175

8326-5J

H 03 K 19/00

1 0 1 A

審査請求 未請求 請求項の数 1 (全5頁)

⑭ 発明の名称 レベル変換回路

⑰ 特 願 昭63-308652

⑱ 出 願 昭63(1988)12月6日

⑲ 発 明 者 上 田 公 大 兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社エル・エス・アイ研究所内

⑲ 発 明 者 植 田 昌 弘 兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社エル・エス・アイ研究所内

⑲ 発 明 者 埴 渕 敏 明 兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社エル・エス・アイ研究所内

⑳ 出 願 人 三菱電機株式会社 東京都千代田区丸の内2丁目2番3号

㉑ 代 理 人 弁理士 早瀬 憲一

## 明 細 書

## 1. 発明の名称

レベル変換回路

## 2. 特許請求の範囲

1) CMOS-ECLレベル変換回路において、CMOSレベルの入力信号を反転するインバータ回路と、

このインバータ回路からの出力をゲート入力とするnチャネルトランジスタと、これに直列に接続された第1の抵抗からなる電流スイッチと、

上記nチャネルトランジスタと上記第1の抵抗との接続点を入力とするレベルシフト回路と、

該レベルシフト回路のバイポーラトランジスタのベース、エミッタ間に挿入され該レベルシフト回路の入力電圧の最低レベルを確保するダイオードとを備えたことを特徴とするレベル変換回路。

## 3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は半導体集積回路に係り、CMOS回路の信号振幅をECL(Emitter Coupled Logic)

回路の信号振幅に変換するCMOS-ECLレベル変換回路に関するものである。

〔従来の技術〕

第2図は従来のCMOS-ECLあるいはTTL-ECLレベル変換回路を示すもので、昭和63年電子情報通信学会秋季大会(C113)において発表されているものである。図において、D1~D5はダイオード、R1~R7は抵抗、Q1~Q7はバイポーラトランジスタを示す。

ダイオードD2で受けたTTLレベルの入力信号の振幅は、抵抗R1及びダイオードD3~D5により小さくされる。バイポーラトランジスタQ1、Q3はその信号レベルをシフトするものであり、バイポーラトランジスタQ4のベース電位を与える。バイポーラトランジスタQ4及びQ5はそれぞれのベース電位の大小関係により電流スイッチとして働き、その結果は抵抗R5を介して出力端からECLの信号振幅として出力される。

バイポーラトランジスタQ6、抵抗R6、またバイポーラトランジスタQ7、抵抗R7は定電流

回路を構成するものであり、トランジスタQ4に直列に接続されているバイポーラトランジスタQ2は耐圧保護用として挿入される。

〔発明が解決しようとする課題〕

従来のCMOS-ECL回路あるいはTTL-ECLレベル変換回路は以上のように構成されており、バイポーラトランジスタQ4の耐圧保護用としてバイポーラトランジスタQ2が必要となるとともに、電流スイッチがバイポーラトランジスタQ4、Q5、Q7と抵抗R7、R5、R2から構成されており、非常に多くの素子が必要なためLSIチップの占有面積が大きくなるという問題があった。

本発明は上記のような問題点を解消するためになされたもので、高集積が可能なCMOS-ECLレベル変換回路を得ることを目的とする。

〔課題を解決するための手段〕

本発明に係るCMOS-ECLレベル変換回路は、レベルシフト回路のバイポーラトランジスタのコレクタ、ベース間にダイオードを挿入して大

きな逆バイアス電圧がかからない構成にするとともに、電流スイッチを抵抗及びnチャネルトランジスタのみにより構成したものである。

〔作用〕

本発明におけるCMOS-ECLレベル変換回路では、レベルシフト回路のバイポーラトランジスタのコレクタ、ベース間に、ダイオードを挿入して大きな逆バイアス電圧がかからない構成にしたので耐圧保護のためのバイポーラトランジスタが必要なく、また電流スイッチを抵抗及びnチャネルトランジスタのみにより構成したので、電流スイッチを構成する素子数が低減される。

〔実施例〕

以下この発明の一実施例を図について説明する。

第1図において、T1はpチャネルトランジスタ、T2、T3はnチャネルトランジスタ、10はT1、T2、からなるインバータ回路、R1～R4は抵抗、D1はダイオード、Q1～Q3はバイポーラトランジスタ、20はレベルシフト回路を示す。

-3-

CMOSレベルの入力信号はpチャネルトランジスタT1、nチャネルトランジスタT2からなるインバータ回路10により反転され、第1の抵抗R1とともに電流スイッチを構成するnチャネルトランジスタT3に入力される。インバータ回路10の出力が低レベルの場合、nチャネルトランジスタT3はOFF状態となり、電流は抵抗R1、R2、ダイオードD1を流れる。その時バイポーラトランジスタQ1のベース電位は抵抗R1と抵抗R2、ダイオードD1の電圧比によって決定され、高レベルとなる。インバータ回路10の出力が高レベルの場合、nチャネルトランジスタT3はON状態となり、電流は抵抗R1、nチャネルトランジスタT3を流れる。その時のバイポーラトランジスタQ1のベース電位はダイオードD1と抵抗R2を流れるわずかな電流によって生ずる電圧によって決定され低レベルとなる。電流スイッチであるnチャネルトランジスタT3により小振幅化された入力信号は、バイポーラトランジスタQ1、抵抗R3によりレベルシフトされ、

-4-

バイポーラトランジスタQ3を介してECL回路に対応した信号レベルが出力端子OUTに出力される。バイポーラトランジスタQ2、抵抗R4は定電流回路を構成するものである。

〔発明の効果〕

以上のように本発明によれば、バイポーラトランジスタのコレクタ、ベース間にダイオードを挿入して大きな逆バイアス電圧がかからないようにするとともに、電流スイッチをnチャネルトランジスタと抵抗のみにより構成したので、素子数の少ないCMOS-ECLレベル変換回路が得られる効果がある。

4. 図面の簡単な説明

第1図は本発明の一実施例によるCMOS-ECLレベル変換回路の回路図、第2図は従来のTTL-ECLレベル変換回路の回路図である。

図において、10はインバータ回路、T1～T3はMOS型トランジスタ、Q1～Q3はバイポーラトランジスタ、R1は第1の抵抗、D1はダイオード、20はレベルシフト回路を示す。

-5-

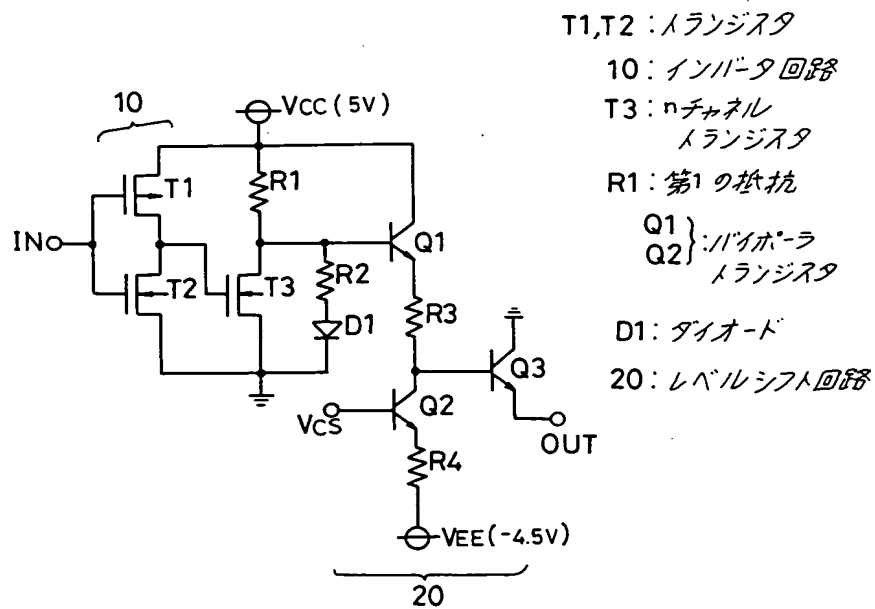
-6-

なお図中同一符号は同一又は相当部分を示す。

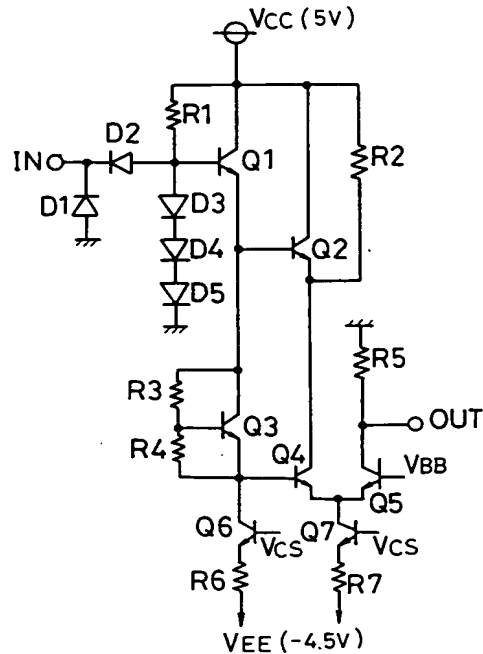
代理人 早 瀬 憲 一

-7-

第 1 図



第 2 図



## 手続補正書 (自発)

平成 1 年 7 月 26 日

特許庁長官 殿

## 1. 事件の表示

特願昭 63-308652 号

## 2. 発明の名称

レベル変換回路

## 3. 補正をする者

事件との関係 特許出願人

住 所 東京都千代田区丸の内二丁目2番3号

名 称 (601) 三菱電機株式会社

代表者 志岐守哉

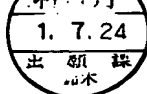
## 4. 代理人 郵便番号 532

住 所 大阪市淀川区宮原4丁目1番45号

新大阪八千代ビル

氏 名 (8181) 弁理士 早瀬 憲一

電話 06-6611-28

方式  
審査

## 5. 補正の対象

明細書の特許請求の範囲の欄、及び発明の詳細な説明の欄

## 6. 補正の内容

(1) 明細書の特許請求の範囲を別紙のとおり訂正する。

(2) 明細書第3頁第7行～第9行の「バイポーラトランジスタQ4の耐圧保護用としてバイポーラトランジスタQ2が必要となるとともに、」を削除する。

(3) 同第3頁第19行～第4頁第2行の「レベルシフト回路のバイポーラトランジスタのコレクタ、ベース間にダイオードを挿入して大きな逆バイアス電圧がかからない構成にするとともに、」を削除する。

(4) 同第4頁第6行～第10行の「レベルシフト回路のバイポーラトランジスタのコレクタ、ベース間に、ダイオードを挿入して大きな逆バイアス電圧がかからない構成にしたので耐圧保護のためのバイポーラトランジスタが必要なく、また」

を削除する。

(5) 同第5頁第15行～第17行の「ダイオードD1と抵抗R2を流れるわずかな電流によって生ずる電圧によって決定され」を削除する。

(6) 同第6頁第6行～第9行の「バイポーラトランジスタのコレクタ、ベース間にダイオードを挿入して大きな逆バイアス電圧がかからないようにするとともに、」を削除する。

以 上

#### 特許請求の範囲

1) CMOS-ECLレベル変換回路において、CMOSレベルの入力信号を反転するインバータ回路と、

このインバータ回路からの出力をゲート入力とするnチャネルトランジスタと、これに直列に接続された第1の抵抗とからなる電流スイッチと、

上記nチャネルトランジスタと上記第1の抵抗との接続点を入力とするレベルシフト回路と、

該レベルシフト回路のバイポーラトランジスタのベースと接地電位間に挿入され該レベルシフト回路の入力電圧の最低レベルを確保するダイオードとを備えたことを特徴とするレベル変換回路。